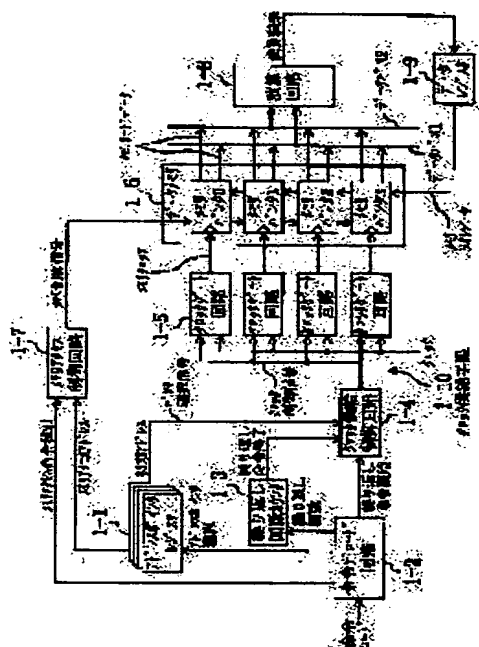


(11)Publication number : **2000-357124**
(43)Date of publication of application : **26.12.2000**

(21)Application number : 11-169448 (71)Applicant : MATSUSHITA ELECTRIC IND CO LTD

(22)Date of filing : 16.06.1999 (72)Inventor : SAWAI HISATSUGU

SOLUTION: An instruction decoding circuit 1-2 decodes an instruction which indicates the same operation repeatedly. In an address pointer 1-1, an initial address for successive access to some successive data storage area on a data memory 1-6 is set. A clock supply control circuit 1-4 previously grasps and determines which memory bank of the data memory 1-6 is used in the repetitive execution of the instruction according to the initial address, and outputs a clock control signal to a clock gate circuit 1-5 to stop supplying a clock signal to banks which are not accessed and supply the clock signal to only the banks which are accessed in the repetitive execution of the same operation. The power consumption is reduced by as much as the supply of the clock signal to the banks which are not accessed is stopped.



BEST AVAILABLE COPY

[Date of request for examination]
[Date of sending the examiner's decision of rejection]
[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]
[Date of final disposal for application]
[Patent number]
[Date of registration]
[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's
decision of rejection]

[Date of extinction of right]

THIS PAGE BLANK (USPTO)

*** NOTICES ***

JPO and NCIP are not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. **** shows the word which can not be translated.
3. In the drawings, any words are not translated.

CLAIMS

[Claim(s)]

[Claim 1] In the digital signal processor equipped with the data memory by which the data storage field was divided into two or more banks, and an operation means to calculate using the data read from said data memory An instruction decoding means to receive the instruction which repeats the operation of the same procedure the number of assignment times, and performs it, accessing repeatedly some fields which continue among all the data storage fields of said data memory, and to decode this instruction, It is based on the initial address which accesses a field first. the decoding result of said instruction decoding means -- winning popularity -- at least -- said a part of data memory -- A bank specification means to pinpoint the bank which should access during repeat activation of said instruction among all banks of said data memory, The digital signal processor characterized by having a clock supply means to supply a clock signal only to the bank pinpointed by said bank specification means.

[Claim 2] Said data memory is the digital signal processor according to claim 1 which has a count means to calculate the ending address which accesses a field at the end, and is characterized by said bank specification means pinpointing the bank which should access during activation of said instruction based on the both sides of said initial address and the ending address calculated by said count means a part in response to the decoding result of said decoding means.

[Claim 3] Said count means is a digital signal processor according to claim 2 characterized by having an adder adding the multiplier which carries out the multiplication of said count of assignment which repeats said operation, and the renewal value of the address for obtaining the next address repeatedly in the access case to said data memory, and the multiplication result and said initial address of said multiplier.

[Claim 4] Said count means is a digital signal processor according to claim 2 characterized by having an adder adding the arithmetic shift circuit which carries out N bit arithmetic shift of said count of assignment which repeats said operation to the left, and the arithmetic shift result and said initial address of said arithmetic shift circuit when the renewal value of the address for obtaining the next address repeatedly in the access case to said data memory is the Nth power (however, N integer) of 2.

[Claim 5] It is the digital signal processor according to claim 1 carry out switching the bank in which it has a detection means detect the time of the change of the bank where it should access in said data memory during repeat activation of said instruction occurring, and said bank specification means should receive the output of said detection means, and which should be accessed during repeat activation of said instruction at the time of said detected change-over generating as the description.

[Claim 6] It is the digital signal processor according to claim 1 carry out stopping the output of said bank specification signal at the time of the termination of activation of the instruction with which a count became said count of assignment repeatedly which has a measurement means measure the count of a repeat during repeat activation of said instruction, outputted a bank specification signal to said clock supply means at the time of initiation of activation of said instruction in said bank specification means, and was measured by said measurement means as the description.

[Claim 7] Communication system characterized by having said digital signal processor according to claim 1, 2, 3, 4, 5, or 6, the control unit which controls said signal processor, and the communication link interface device which performs a communication link interface with either [at least] said signal processor or a control unit and the exterior.

[Translation done.]

* NOTICES *

JPO and NCIPI are not responsible for any damages caused by the use of this translation.

- 1.This document has been translated by computer. So the translation may not reflect the original precisely.
- 2.**** shows the word which can not be translated.
- 3.In the drawings, any words are not translated.

DETAILED DESCRIPTION

[Detailed Description of the Invention]

[0001]

[Field of the Invention] This invention relates to the technique for realizing much more low-power-ization especially about the communication system which has digital signal processors, such as a digital signal processor, and a digital signal processor of those.

[0002]

[Description of the Prior Art] It has the data memory which generally stores the data of a large number used for an operation in digital digital disposal circuits, such as a digital signal processor. This data memory is usually divided into the bank of plurality [field / data storage]. In such a digital digital disposal circuit, the clock signal is supplied to all the bank and its control circuit in said data memory on the occasion of the operation.

[0003]

[Problem(s) to be Solved by the Invention] By the way, in a digital digital disposal circuit, the data with which fixed within the limits of an on [data memory] continued are read, and repeat processing of continuation sum of products etc. is performed in many cases. Thus, since the memory access address concentrates on a part of room in case the data with which fixed within the limits of an on [data memory] continued are read, there is no need of making all data memory into a working state.

[0004] Being [even if the operation which accesses only such local data memory space is performing by the former from this viewpoint / a problem on which useless power will be consumed to the bank which is not used in a clock circuit]-always ***** since the clock signal is supplied to all banks.

[0005] Then, in order to solve the problem which said conventional technique has, only when the access signal to each bank of data memory is used and the access signal to a predetermined bank becomes active, the technique of supplying a clock signal to this predetermined bank can be considered. However, it is very difficult in timing to control supply of a clock signal, and a halt by this idea by the access signal. The example is shown. The digital signal processor which carries out pipeline actuation shown in drawing 15 as a digital digital-disposal-circuit example is mentioned. In this drawing, IDEC is an instruction decoding stage. ADDEC is a stage which generates the control signal for choosing an address-pointer register by the result of a data memory access address decoding stage, i.e., an instruction decoding stage, performing address decoding, and accessing to data memory. MA is a stage which gives the data memory access signal generated on said ADDEC stage to data memory, and reads data from data memory, or writes data in data memory. EX is a stage which inputs into a computing element the data read from data memory, and performs an operation. Since it is MA stage that data memory operates, it is necessary to give a clock signal to data memory on MA stage. However, since a data memory control signal is decided at the last of an ADDEC stage, it is not enough for the clock control of MA stage. If it is going to make the clock control of MA stage dare do, it will be necessary to add an one-step pipeline stage between an ADDEC stage and MA stage, a pipeline number of stages will increase, and the problem which checks improvement in the speed of an operation will occur.

[0006] the part in the data memory by which fixed time amount use of the purpose of this invention is not carried out -- it is in suspending supply of a clock signal to a bank and reducing consumption of the useless power in a clock circuit.

[0007]

[Means for Solving the Problem] In order that this invention may solve the aforementioned technical problem, read the data with which fixed within the limits of an on [data memory] continued in the digital digital disposal circuit, and its attention is paid to the description of digital signal processing of repeating and performing the same operation in many cases. the part in the data memory accessed during repeat

activation of the instruction based on the instruction when the instruction which repeats the same operation is received -- a bank -- beforehand -- grasp specification -- carrying out -- the specified part -- a clock signal is supplied only to a bank and reduction of power consumption is aimed at.

[0008] Namely, the digital signal processor of invention according to claim 1 In the digital signal processor equipped with the data memory by which the data storage field was divided into two or more banks, and an operation means to calculate using the data read from said data memory An instruction decoding means to receive the instruction which repeats the operation of the same procedure the number of assignment times, and performs it, accessing repeatedly some fields which continue among all the data storage fields of said data memory, and to decode this instruction, It is based on the initial address which accesses a field first. the decoding result of said instruction decoding means -- winning popularity -- at least -- said a part of data memory -- It is characterized by having a bank specification means to pinpoint the bank which should access during repeat activation of said instruction among all banks of said data memory, and a clock supply means to supply a clock signal only to the bank pinpointed by said bank specification means.

[0009] invention according to claim 2 -- said digital signal processor according to claim 1 -- setting -- the decoding result of said instruction decoding means -- winning popularity -- a part of said data memory -- it has a count means calculate the ending address which accesses a field at the end, and said bank specification means is carrying out pinpointing the bank which should access during activation of said instruction based on the both sides of said initial address and the ending address calculated by said count means as the description.

[0010] It is characterized by invention according to claim 3 having an adder adding the multiplier which carries out the multiplication of said count of assignment to which said count means repeats said operation, and the renewal value of the address for obtaining the next address repeatedly in the access case to said data memory in said digital signal processor according to claim 2, and the multiplication result and said initial address of said multiplier.

[0011] It is characterize by for invention according to claim 4 to have an adder adding the arithmetic shift circuit which carries out N bit arithmetic shift of said count of assignment which repeats said operation to the left , and the arithmetic shift result and said initial address of said arithmetic shift circuit , when the renewal value of the address for said count means to obtain the next address repeatedly in the access case to said data memory is the Nth power (however , N integer) of 2 in said digital signal processor according to claim 2 .

[0012] Invention according to claim 5 has a detection means detect the time of the change of the bank where it should access in said data memory during repeat activation of said instruction occurring in said digital signal processor according to claim 1, said bank specification means wins popularity in the output of said detection means, and it carries out switching the bank which should access during repeat activation of said instruction at the time of said detected change-over generating as the description.

[0013] Invention according to claim 6 has a measurement means to measure the count of a repeat during repeat activation of said instruction, in said digital signal processor according to claim 1. Said bank specification means A bank specification signal is outputted to said clock supply means at the time of initiation of activation of said instruction, and it is characterized by suspending the output of said bank specification signal at the time of the termination of activation of the instruction with which the count became said count of assignment repeatedly measured by said measurement means.

[0014] Communication system of invention according to claim 7 is characterized by having said digital signal processor according to claim 1, 2, 3, 4, 5, or 6, the control unit which controls said signal processor, and the communication link interface device which performs a communication link interface with either [at least] said signal processor or a control unit and the exterior.

[0015] When the instruction which reads the data with which fixed within the limits of an on [data memory] continued in claim 1 thru/or invention according to claim 7, and performs the same operation by the above configuration repeatedly is received, a bank of the part in the data memory accessed during repeat activation of the operation is grasped beforehand, and is pinpointed. and under activation of said repeat instruction -- said specified part -- a clock signal is supplied only to a bank. Therefore, reduction of the part which suspends supply of the clock signal over the bank which is not accessed, and power consumption is possible.

[0016] It is possible to supply a clock signal only to two or more banks, such as this, by claim 2 thru/or invention according to claim 4, especially, even if it is the case where the data storage field continuously accessed on data memory straddles two or more banks.

[0017] furthermore, when the data storage field continuously accessed on data memory straddles two or more banks in invention according to claim 5 While two or more banks, such as this, are pinpointed as a

candidate for supply of a clock signal If the bank to which a clock signal is supplied only to the bank actually accessed in the beginning of activation of a repeat instruction and which is accessed after that switches, since the bank which supplies a clock signal will also switch A clock signal is supplied only to the bank accessed actually. Therefore, low-power-izing is more possible to one layer.

[0018] Here, repeat access to the address which is fixed within the limits of an on [data memory], and continued is the phenomenon of appearing frequently in digital signal processing, therefore the digital signal processor of this invention has very big effectiveness in respect of a low power. Moreover, generally, in the case of a repeat instruction, since the repeat assignment instruction is standardly equipped in order to reduce the access frequency to instruction memory, it is common in a digital signal processor, that the circuit which generates a control signal, it, etc. relevant to repeat execution control already exists all over a circuit.

Therefore, in this invention, the hardware to add hardly increases, and the demerit which consumes power conversely does not have a new additional circuit for control of a clock signal, either.

[0019]

[Embodiment of the Invention] Hereafter, the gestalt of operation of this invention is explained, referring to a drawing.

[0020] (Gestalt of the 1st operation) Drawing 1 is the block diagram having shown a part of digital signal processor which is the gestalt of operation of a digital signal processor according to claim 1.

[0021] In this drawing, data memory 1-6 consists of four banks of bank 0 - bank 3. 1-1 is an address-pointer register, and the memory access address is stored. 1-2 is an instruction decoding circuit (instruction decoding means), decodes a repeat assignment instruction and the memory access instruction for repeat assignment, and extracts respectively repeatedly the address pointer which uses a count based on the memory access instruction for a repeat based on a repeat assignment instruction. Moreover, this instruction decoding circuit 1-2 outputs the memory access classification signal which shows any of the read access to memory, or light access this instruction is as a result of decoding of a memory access instruction.

[0022] Moreover, 1-3 is a counter (measurement means) counted down whenever the memory access instruction which was extracted from said instruction decoding circuit 1-2, and which sets up a count repeatedly and is repeated is executed. 1-4 is a clock supply control circuit (bank specification means), determines the memory bank which does not perform the memory bank and supply which supply a clock signal based on the initial address of the memory access instruction for a repeat, and outputs a clock control signal to the clock gate circuit 1-5 corresponding to each memory bank.

[0023] 1-7 is a memory access control circuit, receives a memory access classification signal from said instruction decoding circuit 1-2, and outputs a memory control signal to an applicable bank of data memory 1-6 based on this classification signal and the memory access address in the time of this reception. Data memory 1-6 outputs the data of the corresponding memory bank to a data bus 1 or 2, when a memory access classification signal shows read access. At this time, an arithmetic circuit (operation means) 1-8 performs the predetermined operation specified by instruction code, and stores that result in a data register 1-9. On the other hand, when a memory access classification signal shows light access, the light data outputted from a data register 1-9 are written in the memory bank to which data memory 1-6 corresponds.

[0024] Corresponding to each memory banks 0-3 of data memory 1-6, four of said clock gate circuit 1-5 are prepared, and while a clock signal is inputted, the clock control signal from said clock supply control circuit 1-4 is inputted into the each. Each clock gate circuit 1-5 prevents supplying said inputted clock signal to a corresponding memory bank, when requiring a halt of supply of the clock signal to the memory bank to which said clock control signal inputted corresponds. A clock supply means 1-10 to supply a clock signal by the above configuration only to the memory bank which should access during activation of a repeat instruction is constituted.

[0025] Drawing 2 illustrates correspondence of a memory bank and a memory address. The actuation at the time of giving the instruction code train equivalent to the program source code shown in this digital signal processor at drawing 3 as a signal-processing procedure is explained.

[0026] In drawing 3, a line number 1 is an instruction which sets hexadecimal value "1000" as the address-pointer register P0. A line number 2 is an instruction which sets hexadecimal value "2000" as the address-pointer register P1. A line number 3 is an instruction which sets initial value "0" as the general-purpose register A0 with which the repeat sum-of-products result of an operation is stored. A line number 4 is an instruction which directs to repeat the instruction which comes to the degree 16 times. A line number 5 is the sum-of-products operation instruction to which the repeat was directed 16 times, and is an instruction which performs multiplication with the contents of the memory shown with the contents and the address-pointer register P1 of the memory shown with the address-pointer register P0, adds the multiplication result and contents of the general-purpose register A0, and stores the addition result in a general-purpose register

A0 again. Whenever a sum-of-products operation is performed once, "1" is respectively added to the address-pointer registers P0 and P1.

[0027] Drawing 4 shows a timing chart in case the instruction procedure of drawing 3 is performed by this digital signal processor. In this drawing, this digital signal processor shall perform pipeline actuation to which data memory access is used on the address decoding of data memory, and Stage MA, it uses an arithmetic circuit 1-8 on Stage EX in instruction decoding and Stage ADDEC on Stage IDEC, and an instruction execution is carried out. 16 data sequences M00, M01, M02, M03, and M04 continuously stored from memory address "1000" (hexadecimal) here as shown in drawing 2, ..., M0F, The case where 16 data sequences M10, M11, M12, M13, and M14 continuously stored from memory address "2000" (hexadecimal), ..., signal processing which performs a sum-of-products operation one by one to M1F are performed is explained as an example.

[0028] first -- drawing 3 -- a line number -- one -- an address pointer -- a register -- P -- zero -- a hexadecimal -- a value -- " -- 1000 -- " -- setting up -- a line number -- two -- an address pointer -- a register -- P -- one -- a hexadecimal -- a value -- " -- 2000 -- " -- setting up -- things -- each -- data -- a sequence -- receiving -- the first stage -- the address -- giving . Hereafter, initial value "0" is set as a general-purpose register A0 with a line number 3, and it is directed that a line number 4 repeats the instruction which comes to the degree 16 times. The sum-of-products operation instruction of a line number 5 is repeated 16 times, only "1" adding respectively the address-pointer registers P0 and P1. Thereby, the sum-of-products result of an operation of 16 data sequences M00, M01, M02, M03, and M04, ..., M0F, and 16 data sequences M10, M11, M12, M13, and M14, ... and M1F is obtained by the general-purpose register A0. In the circuit of drawing 1, as the instruction of a line number 4 is decoded in the instruction decoding circuit 1-2 and it is shown in the timing chart of drawing 4, (16-1=15) is set as the count counter 1-3 of a repeat, and a repeat instruction start signal is outputted. Furthermore, in the instruction decoding circuit 1-2, the address-pointer registers P0 and P1 to be used are chosen by the 1st time of the sum-of-products operation instruction for a repeat. It considers the memory bank the initial address indicates the value of the address-pointer registers P0 and P1 to be as a clock supply bank, using the clock supply control circuit 1-4 as the initial address, the other memory bank is considered as a clock halt bank, and as shown in drawing 4, in the initiation timing of MA stage of a repeat instruction, a clock stop signal is outputted to bank 2 and bank 3. Finally, after the count counter 1-3 of a repeat is set to "0", the instruction decoding circuit 1-2 outputs a repeat instruction terminate signal, and the clock supply control circuit 1-4 turns OFF the clock stop signal of bank 2 and bank 3 in response to this terminate signal to the initiation timing of MA stage of the last round of the instruction shown in drawing 4 R> 4. By the above control, in activation of sum-of-products operation instruction, since the clock signal between 15 cycles stops bank 2 and bank 3, the power consumption of the clock signal system of data memory can be reduced.

[0029] (Gestalt of the 2nd operation) The gestalt of operation of a digital signal processor according to claim 2 is explained below. Drawing 5 shows some block diagrams of a digital signal processor. In this drawing, data memory 5-6, the address-pointer register 5-1, the count counter 5-3 of a repeat, and the clock gate circuit 5-5 are the same configurations as drawing 1. In addition, in drawing 5, if attached to the memory access control circuit 1-7 and arithmetic circuit 1-8 grade which indicated only about the configuration relevant to this invention, and were indicated to drawing 1, it is omitting. As for this, the same is said of drawing 11 explained below.

[0030] In drawing 5, 5-2 is an instruction decoding circuit, performs decoding of a repeat assignment instruction and a memory access instruction, and extracts repeatedly the renewal value of the address updated after the address pointer which uses a count based on the memory access instruction for a repeat, and activation based on a repeat assignment instruction.

[0031] 5-7 is an ending-address count circuit (count means), and calculates the ending address which is a memory address which accesses at the time of the last run of the instruction for a repeat based on the initial address, the count of a repeat, and the renewal value of the address. 5-4 is a clock control circuit, determines the memory bank which supplies a clock signal during activation of the instruction for a repeat, and the memory bank which does not perform supply of a clock signal based on the initial address and the ending address of a memory access instruction which are repeated, and outputs a clock control signal to the clock gate circuit 5-5 corresponding to each memory bank.

[0032] Correspondence of a memory bank and a memory address is shown in drawing 6. The actuation at the time of giving the instruction code train equivalent to the program source code shown in this digital signal processor at drawing 7 as a signal-processing procedure is explained. drawing 7 -- setting -- the value of a hexadecimal [line number / 2 / register / P1 / address-pointer] -- it is the same as drawing 3 except being the instruction which sets up "2FF8."

[0033] Drawing 8 shows a timing chart in case the instruction procedure of drawing 7 is performed using this digital signal processor. The pipeline stage of this digital signal processor is also the same as that of drawing 4. Here, as shown in drawing 6, it is memory address "1000" (with 16 data sequences M00, M01, M02, M03, and M04 continuously stored from hexadecimal, ..., M0F). The case where 16 data sequences M10, M11, M12, M13, and M14 continuously stored from memory address "2FF8" (hexadecimal), ..., signal processing which performs a sum-of-products operation to M1F are performed is explained as an example.

[0034] In the program of drawing 7, the sum-of-products result of an operation of 16 data sequences M00, M01, M02, M03, and M04, ..., M0F, and other 16 data sequences M10, M11, M12, M13, and M14, ... and M1F is obtained by the general-purpose register A0 like the gestalt of said 1st operation. In the circuit of drawing 5, the instruction decoding circuit 5-2 decodes the instruction of a line number 4, as shown in the timing chart of drawing 8, $16-1=15$ are repeatedly set as a count counter, and a repeat instruction start signal is outputted. Furthermore, in the instruction decoding circuit 5-2, the renewal value of the address which chooses the address-pointer registers P0 and P1 to be used, and is changed for every sum-of-products operation is extracted in the 1st time of the sum-of-products operation instruction for a repeat.

[0035] As the ending-address count circuit 5-7 is shown in drawing 9, it has the multiplier 5-8 which carries out the multiplication of the count to the renewal value of the address repeatedly, and the adder 5-9 which adds the initial address to the multiplication result, and the addition result of an adder 5-9 is calculated as an ending address. The clock supply control circuit 5-4 considers the data memory banks 0-2 corresponding to the address between the initial address and an ending address as a clock supply bank, considers the other memory bank 3 as a clock halt bank, and as shown in drawing 8, it outputs a clock stop signal to bank 3 to the initiation timing of 1st MA stage of an instruction. Finally, after the count counter 5-3 of a repeat is set to "0", the instruction decoding circuit 5-2 outputs a repeat instruction terminate signal, and the clock supply control circuit 5-4 turns OFF the clock stop signal of bank 3 in response to this terminate signal to the initiation timing of 16th MA stage of the instruction shown in drawing 8. Thereby, even if it is the case where while accesses during activation of a continuation sum-of-products operation, and a data memory address straddles bank 1 and bank 2, it becomes possible to suspend supply of a clock signal on the bank 3 which is not used during activation of the operation. Moreover, since the multiplier and adder of drawing 9 R> 9 generally exist in a digital signal processor, in order to realize the gestalt of this operation, it is unnecessary to newly add hardware.

[0036] (Modification) Next, claim 4 is explained. In a digital digital disposal circuit, when the minimum data unit is made into 16 bits, it is that the data length of one data generally becomes the exponentiation of 2 of the data length of 16 bits, 32 bits, 64 bits, and the minimum data unit in most cases. Therefore, it is convenient, even if it realizes a circuit on the assumption that this. When the data width of face of the single address of data memory is 16 bits, the continuation data of the two address which begins from an even address express 32 bit data. If the continuation address data of the Nth power of 2 which begins from an even address express the data of die length [of the data length of the minimum data unit -- the continuation data of the four address which begins from an even address express 64 bit data --] of 2 of the Nth power (N is an integer) The multiplier 5-8 of drawing 9 can realize the count of a repeat in the arithmetic shift circuit 10-1 shifted to N bit left, as shown in drawing 10. Thereby, in being the digital digital disposal circuit in which a multiplier does not exist, it becomes unnecessary to newly add hardware by using the arithmetic shift circuit which exists all over a circuit. Since what is necessary is to newly prepare only an arithmetic shift circuit when a multiplier or arithmetic shift circuit does not exist in a digital digital disposal circuit, either, it is possible to realize the gestalt of this operation by the addition of comparatively few circuit scales.

[0037] (Gestalt of the 3rd operation) Next, the digital signal processor of the gestalt of operation of the 3rd of this invention is explained. Drawing 11 R> 1 is the block diagram showing a part of digital signal processor which is the gestalt of this operation. In this drawing, data memory 11-6, the address-pointer register 11-1, the count counter 11-3 of a repeat, and the clock gate circuit 11-5 are the same as that of drawing 1. Moreover, the instruction decoding circuit 11-2 is the same as that of drawing 5.

[0038] In drawing 11, it calculates whether based on the initial address, the count of a repeat, and the renewal value of the address updated after activation, the memory bank accessed by what time of a repeat switches by 11-7 being a bank change-over timing count circuit. 11-8 is a bank change-over timing holding register which saves the bank change-over timing for which it asked in said bank change-over timing count circuit. It is a comparator, 11-9 compares the value of said repeat counter 11-3 with the value of the bank change-over timing holding register 11-8, and when in agreement, it outputs a coincidence signal. A detection means 11-10 to detect the time of the change which the memory bank which has accessed within

data memory 11-6 during activation of a repeat instruction changes into other banks by the above configuration is constituted.

[0039] Furthermore, it is based on the initial address of the memory access instruction which 11-4 is a clock supply control circuit, and is repeated. The memory bank which supplies a clock signal to the beginning of activation of a repeat instruction, According to the coincidence output of a comparator 11-9, the memory bank which determines the memory bank which does not supply a clock signal and supplies a clock signal into a repeat instruction execution further, and the memory bank which does not perform supply of a clock signal with a change A clock control signal (a clock supply signal or clock stop signal) is outputted to the clock gate circuit 11-5 corresponding to each memory bank.

[0040] the memory map of the data for an operation -- drawing 6 -- the same -- when a repeat sum-of-products operation program is made the same as drawing 7 , the timing chart of the clock signal supplied to change and each memory bank of each signal under activation of a sum-of-products operation of operation comes to be shown in drawing 12 .

[0041] Here, if the continuation address data of the Nth power of 2 which begins from an even address express the data for an operation of die length [of the data length of the minimum data unit] of 2 of the Nth power, the bank change-over timing count circuit 11-7 is realizable by the arithmetic shift circuit 13-3 which carries out N bit arithmetic shift of this subtraction result to the complements 13-1 of "2" which subtracts the initial address from the new bank change-over address, and an adder 13-2 on the right, as show in drawing 13 .

[0042] In addition, although the above explanation illustrated and explained sum-of-products operation instruction, if this invention is an instruction which repeats the operation of the same procedure, it is applicable similarly. Moreover, logical operation besides arithmetic operation is also included in the operation of the same procedure. Furthermore, although they were explained by the above explanation that two data streams by which a sum-of-products operation is carried out were data streams belonging to a different bank, also when stored in the data storage field which this invention is included and only one data stream follows in the predetermined range in data memory 1-6 also when both data streams exist in the same bank, it includes.

[0043] (Gestalt of the 4th operation) The gestalt of operation of the 4th of this invention is explained to the last. Drawing 14 shows the communication system of the gestalt of this operation. In this drawing, 18-1 is the digital signal processor explained with the gestalt of said 1st [the], the 2nd, or the 3rd operation. 18-2 is a control unit which controls the whole system. 18-3 is storage which stores the information for assisting a with the control information of a system, the I / O data of a digital signal processor 18-1, the sequence program of a system, and storage of the user of this communication system, commo data, etc. 18-4 is input units, such as a microphone for inputting a keyboard and the contents of a communication link for the user of this communication system giving directions to this communication system. 18-5 is output units, such as a loudspeaker which outputs the display which displays the condition and the various information on a system on the user of this communication system, and the contents of a communication link. 18-6 is a communication link interface device for performing the communication link with said digital signal processor 18-1 and control unit 18-2, and exterior.

[0044] In addition, in the above explanation, the instruction decoding circuit 14-1 decodes the received repeat instruction, and although it carried out grasp specification of the bank accessed into an instruction execution based on the initial address included in this instruction, it may include the information which pinpoints such a bank in the instruction itself to receive. The instruction including this information is created as follows by the sum-of-products operation program shown in drawing 7 . namely, the 5th-line memory access instruction of drawing 7 to the address-pointer registers P0 and P1 and the renewal value of the address -- after extracting "+1", the 1st line [which carried out back trace from the 5th line, and set the immediate as said address-pointer registers P0 and P1], and 2nd-line instruction is detected, and that immediate is extracted from this the instruction of both. Subsequently, after checking the guarantee of the 5th-line memory-access instruction being repeated by making said immediate into the initial address, this memory-access instruction calculates the last address accessed at the last of the repeat of an operation based on said initial address, the number of operation repeats, and the renewal value of the address, and a specific instruction corrects so that the bank included between the initial address and this last address may specify as the bank where a clock signal is supplied.

[0045]
[Effect of the Invention] As explained above, according to the communication system which has claim 1 thru/or the digital signal processor of invention according to claim 7, and this When the instruction which reads the data with which fixed within the limits of an on [data memory] continued, and performs the same

operation repeatedly is received a bank of the part in the data memory accessed during repeat activation of the operation -- beforehand -- grasping -- specifying -- under activation of a repeat instruction -- said specified part -- since a clock signal is supplied only to a bank, reduction of power consumption is possible. [0046] It is possible to supply a clock signal only to two or more banks, such as this, especially, even if it is the case where the data storage field continuously accessed on data memory straddles two or more banks according to claim 2 thru/or invention according to claim 4.

[0047] Furthermore, since the clock signal was supplied only to the bank actually accessed among banks of plurality, such as this, while pinpointing two or more banks, such as this, as a candidate for supply of a clock signal when the data storage field continuously accessed on data memory straddled two or more banks according to invention according to claim 5, much more low-power-izing is possible.

[Translation done.]

* NOTICES *

JPO and NCIPI are not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. **** shows the word which can not be translated.
3. In the drawings, any words are not translated.

DESCRIPTION OF DRAWINGS

[Brief Description of the Drawings]

[Drawing 1] It is the block diagram of a digital digital disposal circuit showing the gestalt of operation of the 1st of this invention.

[Drawing 2] It is drawing showing the data memory map in the gestalt of this operation.

[Drawing 3] It is drawing showing the example program of the repeat sum-of-products operation instruction used in the gestalt of this operation.

[Drawing 4] It is the timing-chart Fig. showing the timing of operation in the gestalt of this operation.

[Drawing 5] It is the block diagram of a digital digital disposal circuit showing the gestalt of operation of the 2nd of this invention.

[Drawing 6] It is drawing showing the data memory map in the gestalt of this operation.

[Drawing 7] It is drawing showing the example program of the repeat sum-of-products operation instruction used in the gestalt of this operation.

[Drawing 8] It is the timing-chart Fig. showing the timing of operation in the gestalt of this operation.

[Drawing 9] It is drawing showing the concrete configuration of the ending-address count circuit in the gestalt of this operation.

[Drawing 10] It is drawing showing other concrete configurations of the ending-address count circuit in the gestalt of this operation.

[Drawing 11] It is the block diagram of a digital digital disposal circuit showing the gestalt of operation of the 3rd of this invention.

[Drawing 12] It is the timing-chart Fig. showing the timing of operation in the gestalt of this operation.

[Drawing 13] It is drawing showing the concrete configuration of the bank change-over timing count circuit in the gestalt of this operation.

[Drawing 14] It is the block diagram showing the whole communication system configuration which shows the gestalt of operation of the 4th of this invention.

[Drawing 15] It is drawing showing the example of pipeline actuation of the conventional digital digital disposal circuit.

[Description of Notations]

1-1, 5-1, 11-1, 14-1 Address pointer

1-2, 5-2, 11-2 Instruction decoding circuit (instruction decoding means)

1-3, 5-3, 11-3, 14-2 Count counter of a repeat (measurement means)

1-4, 5-4, 11-4, 14-3 Clock supply control circuit (bank specification means)

1-5, 5-5, 11-5, 14-4 Clock gate circuit

1-6, 5-6, 11-6, 14-5 Data memory

1-8 Arithmetic Circuit (Operation Means)

1-10 Clock Supply Means

5-7 Ending-Address Count Circuit (Count Means)

5-8 Multiplier

5-9 Adder

10-1 Arithmetic Shift Circuit

11-7 Bank Change-over Timing Count Circuit

11-8 Bank Change-over Timing Holding Register

11-9 Comparator

11-10 Detection Means

18-1 Digital Signal Processor

18-2 Control Unit

18-6 Communication-Interface Equipment

[Translation done.]

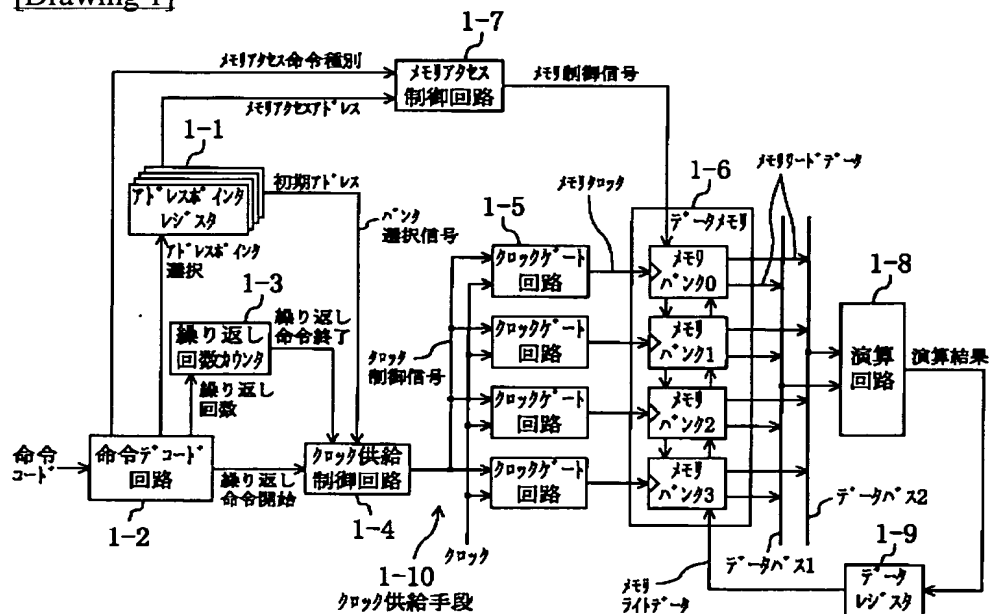
* NOTICES *

JPO and NCIPI are not responsible for any damages caused by the use of this translation.

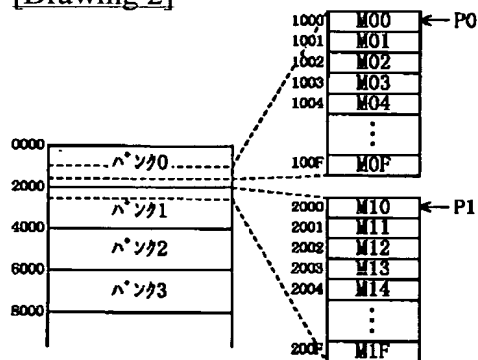
- 1.This document has been translated by computer. So the translation may not reflect the original precisely.
- 2.**** shows the word which can not be translated.
- 3.In the drawings, any words are not translated.

DRAWINGS

[Drawing 1]



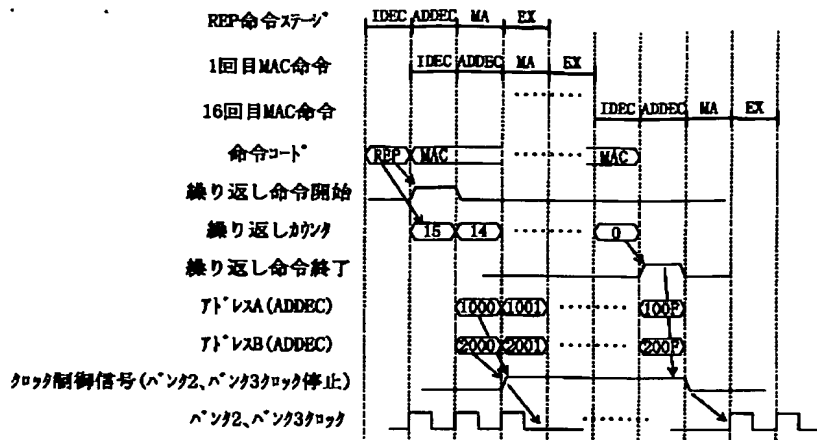
[Drawing 2]



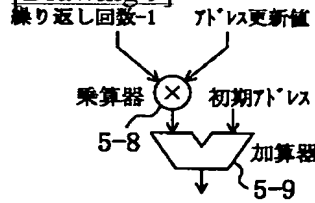
[Drawing 3]

- 1: MOV P0, 0x1000 ;* インレジスタP0に1000(16進)を代入。
- 2: MOV P1, 0x2000 ;* インレジスタP1に2000(16進)を代入。
- 3: MOV A0, 0 ;レジスタA0に0を代入。
- 4: REP 16-1 ;次命令を16回繰り返し。
- 5: MAC A0,*P0+,*P1+ ;P0の示すメモリデータと、P1の示すメモリデータを乗算し、乗算結果をレジスタA0に加算して格納。さらに、演算後P0、P1に各々1加算。

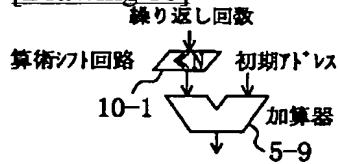
[Drawing 4]



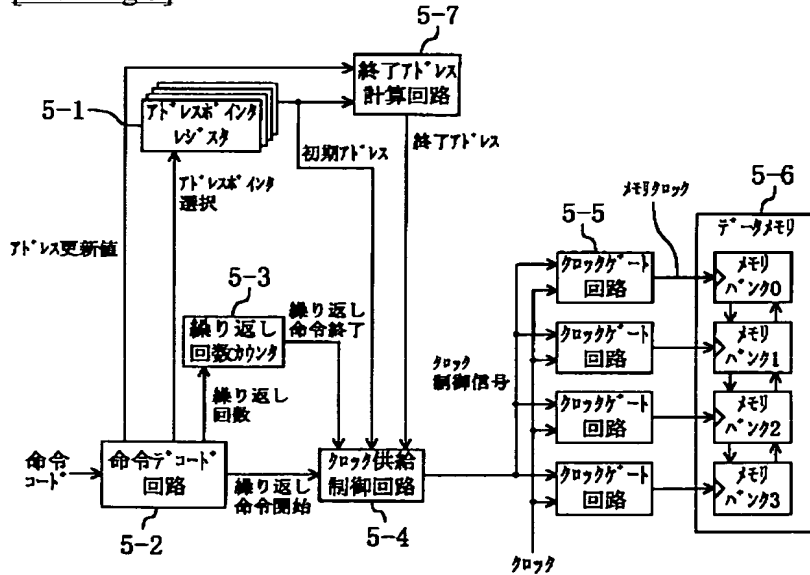
[Drawing 9]



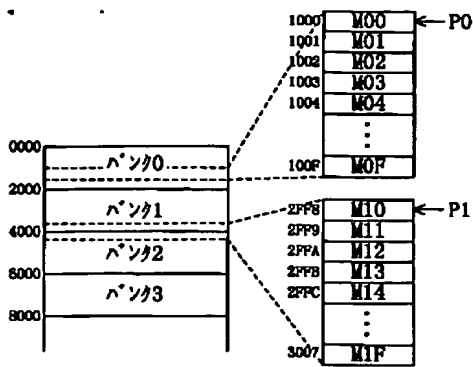
[Drawing 10]



[Drawing 5]



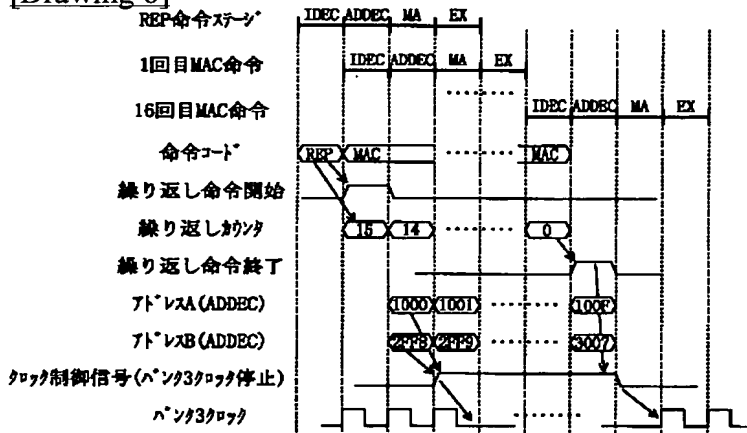
[Drawing 6]



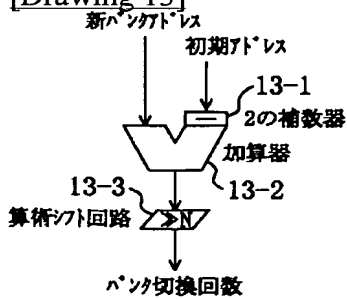
[Drawing 7]

1: MOV P0, 0 × 1000 ;P インタレジスタP0に1000 (16進) を代入。
 2: MOV P1, 0 × 2FF8 ;P インタレジスタP1に2FF8 (16進) を代入。
 3: MOV A0, 0 ;レジスタA0に0を代入。
 4: REP 16-1 ;次命令を16回繰り返し。
 5: MAC A0, *P0++, *P1++ ;P0の示すメモリーと、P1の示すメモリーを乗算し、乗算結果をレジスタA0に加算して格納。さらに、演算後P0、P1に各々1加算。

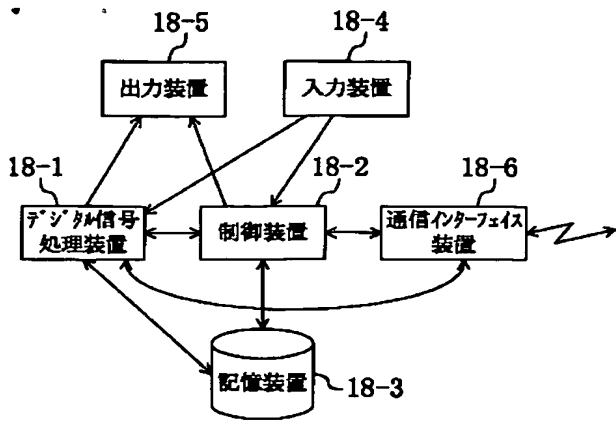
[Drawing 8]



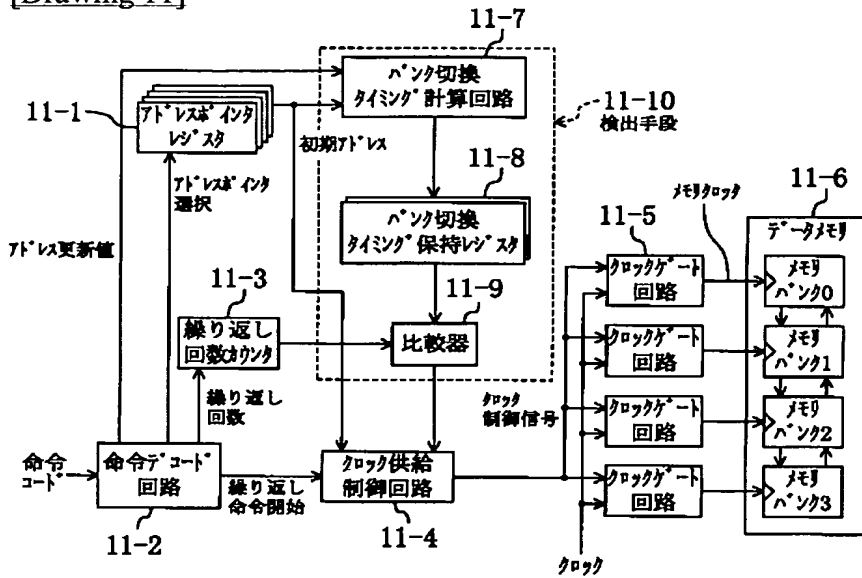
[Drawing 13]



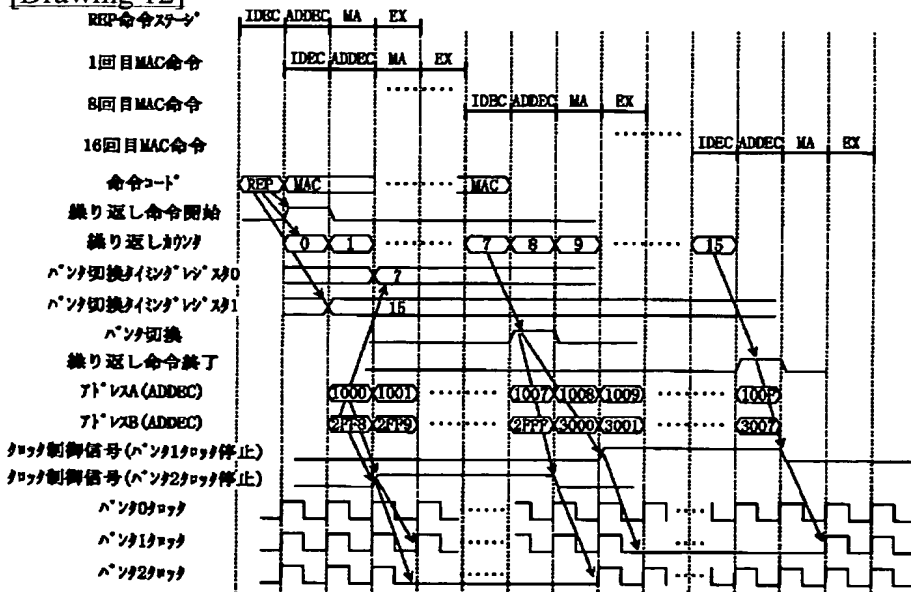
[Drawing 14]



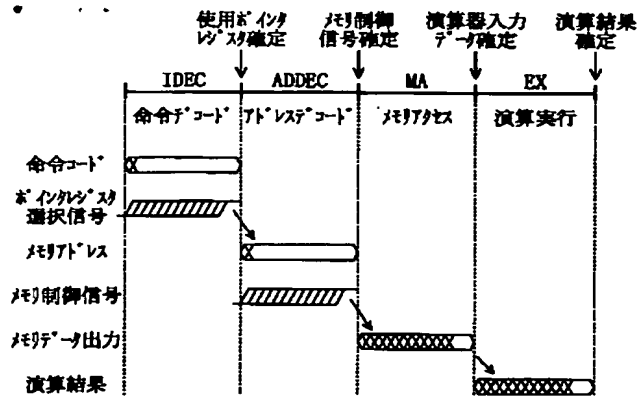
[Drawing 11]



[Drawing 12]



[Drawing 15]



[Translation done.]

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号
特開2000-357124
(P2000-357124A)

(43) 公開日 平成12年12月26日 (2000. 12. 26)

(51) Int.Cl. ⁷	識別記号	F I	テーム(参考)
G 0 6 F 12/06	5 1 5	G 0 6 F 12/06	5 1 5 H 5 B 0 1 1
1/32		1/04	3 0 1 B 5 B 0 6 0
1/04	3 0 1	1/00	3 3 2 B 5 B 0 7 9

審査請求 未請求 請求項の数 7 O L (全 11 頁)

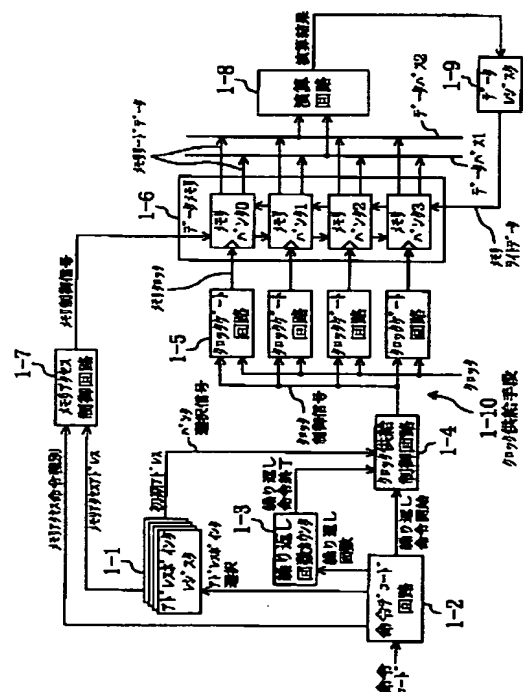
(21) 出願番号	特願平11-169448	(71) 出願人	000005821 松下電器産業株式会社 大阪府門真市大字門真1006番地
(22) 出願日	平成11年6月16日 (1999. 6. 16)	(72) 発明者	澤井 寿承 大阪府門真市大字門真1006番地 松下電器 産業株式会社内
		(74) 代理人	100077931 弁理士 前田 弘 (外1名)
		F ターム(参考)	5B011 EA08 LL13 5B060 AB17 CC03 MM15 5B079 AA07 BA12 BB02 BCD1 CC12 DD20

(54) 【発明の名称】 デジタル信号処理装置及びこれを有する通信システム

(57) 【要約】

【課題】 低消費電力で動作するデジタル信号処理装置を実現する。

【解決手段】 命令デコード回路1-2は、同一の演算を繰り返し指示する命令をデコードする。アドレスポイント1-1には、前記命令がデータメモリ1-6上の連続する一部のデータ格納領域に連続してアクセスする場合の初期アドレスが設定される。クロック供給制御回路1-4は、前記初期アドレスに基づいて、前記命令の繰り返し実行中に前記データメモリ1-6の何れのメモリバンクを使用するかを予め把握決定し、同一演算の繰り返し実行中は、アクセスされないバンクへのクロック信号の供給を停止すると共に、アクセスするバンクに対してのみクロック信号を供給するように、クロックゲート回路1-5にクロック制御信号を出力する。従って、アクセスされないバンクへのクロック信号の供給が停止される分、低消費電力になる。



(2)

1

【特許請求の範囲】

【請求項1】 データ格納領域が複数のバンクに分割されたデータメモリと、
前記データメモリから読み出されたデータを用いて演算を行う演算手段とを備えたデジタル信号処理装置において、
前記データメモリの全データ格納領域のうち連続する一部の領域に繰り返しアクセスしながら同じ手続きの演算を指定回数繰り返して実行する命令を受け、この命令をデコードする命令デコード手段と、
前記命令デコード手段のデコード結果を受け、少なくとも前記データメモリの一部領域に最初にアクセスする初期アドレスに基いて、前記データメモリの全バンクのうち前記命令の繰り返し実行中にアクセスすべきバンクを特定するバンク特定手段と、
前記バンク特定手段により特定されたバンクに対してのみクロック信号を供給するクロック供給手段とを有することを特徴とするデジタル信号処理装置。

【請求項2】 前記デコード手段のデコード結果を受け、前記データメモリの一部領域に最後にアクセスする終了アドレスを計算する計算手段を有し、
前記バンク特定手段は、前記初期アドレス、及び前記計算手段により計算された終了アドレスの双方に基いて、前記命令の実行中にアクセスすべきバンクを特定することを特徴とする請求項1記載のデジタル信号処理装置。

【請求項3】 前記計算手段は、
前記演算を繰り返す前記指定回数と、前記データメモリに繰り返しアクセス際に次のアドレスを得るためのアドレス更新値とを乗算する乗算器と、
前記乗算器の乗算結果と前記初期アドレスとを加算する加算器とを有することを特徴とする請求項2記載のデジタル信号処理装置。

【請求項4】 前記計算手段は、
前記データメモリに繰り返しアクセス際に次のアドレスを得るためのアドレス更新値が2のN乗（但し、Nは整数）である場合に、前記演算を繰り返す前記指定回数を左にNビット算術シフトする算術シフト回路と、
前記算術シフト回路の算術シフト結果と前記初期アドレスとを加算する加算器とを有することを特徴とする請求項2記載のデジタル信号処理装置。

【請求項5】 前記命令の繰り返し実行中に、前記データメモリ内のアクセスすべきバンクの切換えが発生する時を検出する検出手段を有し、
前記バンク特定手段は、前記検出手段の出力を受け、前記命令の繰り返し実行中にアクセスすべきバンクを、前記検出された切換え発生時に切換えることを特徴とする請求項1記載のデジタル信号処理装置。

【請求項6】 前記命令の繰り返し実行中に、その繰り返し回数を計測する計測手段を有し、
前記バンク特定手段は、前記命令の実行の開始時にバン

2

ク特定信号を前記クロック供給手段に出力し、前記計測手段により計測された繰り返し回数が前記指定回数に達した命令の実行の終了時に前記バンク特定信号の出力を停止することを特徴とする請求項1記載のデジタル信号処理装置。

【請求項7】 前記請求項1、2、3、4、5又は6記載のデジタル信号処理装置と、
前記信号処理装置を制御する制御装置と、
前記信号処理装置及び制御装置の少なくとも一方と外部との通信インターフェースを行う通信インターフェース装置とを備えたことを特徴とする通信システム。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、デジタルシグナルプロセッサ等、デジタル信号処理装置及びそのデジタル信号処理装置を有する通信システムに関し、特に、一層の低消費電力化を実現するための技術に関する。

【0002】

【従来の技術】一般に、デジタルシグナルプロセッサ等のデジタル信号処理回路においては、演算に使用する多数のデータを格納するデータメモリが備えられる。このデータメモリは、通常、データ格納領域が複数のバンクに分割されている。このようなデジタル信号処理回路では、演算に際して、前記データメモリ内の全てのバンク及びその制御回路にクロック信号が供給されている。

【0003】

【発明が解決しようとする課題】ところで、デジタル信号処理回路では、データメモリ上の一定範囲内の連続したデータを読み出して、連続積和等の繰り返し処理を行う場合が多い。このようにデータメモリ上の一定範囲内の連続したデータを読み出す際には、メモリアクセスアドレスがメモリ空間の一部に集中するので、全データメモリを稼動状態にする必要が無い。

【0004】この観点から、従来では、そのような局所的なデータメモリ空間しかアクセスしない演算の実行中であっても、常に、全てのバンクに対してクロック信号が供給されているため、使用されないバンクに対してクロック回路で無駄な電力が消費されてしまう問題があること判った。

【0005】そこで、前記従来技術が持つ問題を解決するために、データメモリの各バンクへのアクセス信号を使用して、所定のバンクへのアクセス信号がアクティブになった時にだけこの所定バンクに対してクロック信号を供給する手法が考えられる。しかし、この考えでは、アクセス信号でクロック信号の供給、停止を制御することはタイミング的に非常に困難である。その具体例を示す。デジタル信号処理回路一例として、図15に示すパイプライン動作をするデジタルシグナルプロセッサを挙げる。同図において、IDECは命令デコードステージである。ADDECはデータメモリアクセスアドレスデコードス

50

(3)

3

テージ、即ち、命令デコードステージの結果によりアドレスポインタレジスタを選択し、アドレスデコードを行ってデータメモリへアクセスするための制御信号を生成するステージである。MAは、前記ADDECステージで生成したデータメモリアクセス信号をデータメモリに与え、データメモリからデータを読み出し、又はデータメモリにデータを書き込むステージである。EXはデータメモリから読み出したデータを演算器に入力し、演算を実行するステージである。データメモリが動作するのはMAステージであるので、MAステージでデータメモリへクロック信号を与える必要がある。しかし、データメモリ制御信号はADDECステージの最後で決まるため、MAステージのクロック制御には間に合わない。あえてMAステージのクロック制御に間に合わせようとすると、ADDECステージとMAステージとの間に一段パイプラインステージを追加する必要が生じて、パイプライン段数が増えてしまい、演算の高速化を阻害する問題が発生する。

【0006】本発明の目的は、一定時間使用されないデータメモリ内の一部バンクに対してはクロック信号の供給を停止して、クロック回路での無駄な電力の消費を低減することにある。

【0007】

【課題を解決するための手段】本発明は、前記の課題を解決するために、デジタル信号処理回路ではデータメモリ上の一定範囲内の連続したデータを読み出して同一の演算を繰り返し実行する場合が多いというデジタル信号処理の特徴に着目し、同一演算を繰り返す命令を受けた際には、その命令に基づいて、その命令の繰り返し実行中にアクセスされるデータメモリ内の一部バンクを予め把握特定し、その特定した一部バンクに対してのみクロック信号の供給を行って、消費電力の低減を図る。

【0008】即ち、請求項1記載の発明のデジタル信号処理装置は、データ格納領域が複数のバンクに分割されたデータメモリと、前記データメモリから読み出されたデータを用いて演算を行う演算手段とを備えたデジタル信号処理装置において、前記データメモリの全データ格納領域のうち連続する一部の領域に繰り返しアクセスしながら同じ手続きの演算を指定回数繰り返して実行する命令を受け、この命令をデコードする命令デコード手段と、前記命令デコード手段のデコード結果を受け、少なくとも前記データメモリの一部領域に最初にアクセスする初期アドレスに基づいて、前記データメモリの全バンクのうち前記命令の繰り返し実行中にアクセスすべきバンクを特定するバンク特定手段と、前記バンク特定手段により特定されたバンクに対してのみクロック信号を供給するクロック供給手段とを有することを特徴とする。

【0009】請求項2記載の発明は、前記請求項1記載のデジタル信号処理装置において、前記命令デコード手段のデコード結果を受け、前記データメモリの一部領域に最後にアクセスする終了アドレスを計算する計算手段

4

を有し、前記バンク特定手段は、前記初期アドレス、及び前記計算手段により計算された終了アドレスの双方に基いて、前記命令の実行中にアクセスすべきバンクを特定することを特徴としている。

【0010】請求項3記載の発明は、前記請求項2記載のデジタル信号処理装置において、前記計算手段は、前記演算を繰り返す前記指定回数と、前記データメモリに繰り返しアクセス際に次のアドレスを得るためのアドレス更新値とを乗算する乗算器と、前記乗算器の乗算結果と前記初期アドレスとを加算する加算器とを有することを特徴とする。

【0011】請求項4記載の発明は、前記請求項2記載のデジタル信号処理装置において、前記計算手段は、前記データメモリに繰り返しアクセス際に次のアドレスを得るためのアドレス更新値が2のN乗（但し、Nは整数）である場合に、前記演算を繰り返す前記指定回数を左にNビット算術シフトする算術シフト回路と、前記算術シフト回路の算術シフト結果と前記初期アドレスとを加算する加算器とを有することを特徴とする。

【0012】請求項5記載の発明は、前記請求項1記載のデジタル信号処理装置において、前記命令の繰り返し実行中に、前記データメモリ内のアクセスすべきバンクの切換えが発生する時を検出する検出手段を有し、前記バンク特定手段は、前記検出手段の出力を受け、前記命令の繰り返し実行中にアクセスすべきバンクを、前記検出された切換え発生時に切換えることを特徴とする。

【0013】請求項6記載の発明は、前記請求項1記載のデジタル信号処理装置において、前記命令の繰り返し実行中に、その繰り返し回数を計測する計測手段を有し、前記バンク特定手段は、前記命令の実行の開始時にバンク特定信号を前記クロック供給手段に出力し、前記計測手段により計測された繰り返し回数が前記指定回数に達した命令の実行の終了時に前記バンク特定信号の出力を停止することを特徴とする。

【0014】請求項7記載の発明の通信システムは、前記請求項1、2、3、4、5又は6記載のデジタル信号処理装置と、前記信号処理装置を制御する制御装置と、前記信号処理装置及び制御装置の少なくとも一方と外部との通信インターフェースを行う通信インターフェース装置とを備えたことを特徴とする。

【0015】以上の構成により、請求項1ないし請求項7記載の発明では、データメモリ上の一定範囲内の連続したデータを読み出して繰り返し同一の演算を行う命令を受けた時には、その演算の繰り返し実行中にアクセスされるデータメモリ内の一部のバンクを予め把握し特定する。そして、前記繰り返し命令の実行中は、前記特定した一部バンクに対してのみクロック信号を供給する。従って、アクセスされないバンクに対するクロック信号の供給を停止する分、消費電力の削減が可能である。

【0016】特に、請求項2ないし請求項4記載の発明

(4)

5

では、データメモリ上で連続してアクセスされるデータ格納領域が複数のバンクに跨る場合であっても、これ等複数のバンクに対してのみクロック信号を供給することが可能である。

【0017】更に、請求項5記載の発明では、データメモリ上で連続してアクセスされるデータ格納領域が複数のバンクに跨る場合には、これ等複数のバンクがクロック信号の供給対象として特定されると共に、繰り返し命令の実行の最初では現にアクセスされているバンクに対してのみクロック信号が供給され、その後、アクセスされるバンクが切替われば、クロック信号を供給するバンクも切替わるので、現にアクセスされているバンクに対してのみクロック信号が供給される。従って、より一層に低消費電力化が可能である。

【0018】ここで、データメモリ上の一定範囲内で連続したアドレスへの繰り返しアクセスは、デジタル信号処理において頻繁に出現する現象であり、従って、本発明のデジタル信号処理装置は低消費電力の点で非常に大きな効果がある。また、一般的に、デジタルシグナルプロセサでは、繰り返し命令の際に、命令メモリへのアクセス頻度を減らすために、繰り返し指定命令を標準的に装備しているため、繰り返し実行制御に関連する制御信号やそれ等を生成する回路が既に回路中に存在するのが一般的である。従って、本発明では、追加するハードウェアがほとんど増えず、クロック信号の制御のための新たな追加回路が逆に電力を消費するデメリットも無い。

【0019】

【発明の実施の形態】以下、本発明の実施の形態を図面を参照しながら説明する。

【0020】（第1の実施の形態）図1は請求項1記載のデジタル信号処理装置の実施の形態であるデジタルシグナルプロセサの一部を示したブロック図である。

【0021】同図において、データメモリ1-6は、バンク0～バンク3の4バンクから構成される。1-1はアドレスポインタレジスタであり、メモリアクセスアドレスが格納される。1-2は命令デコード回路（命令デコード手段）であって、繰り返し指定命令、繰り返し指定対象のメモリアクセス命令のデコードを行い、繰り返し指定命令に基いて繰り返し回数を、繰り返し対象のメモリアクセス命令に基いて、使用するアドレスポインタを各々抽出する。また、この命令デコード回路1-2は、メモリアクセス命令のデコードの結果、この命令がメモリに対するリードアクセスはライトアクセスの何れであるか等を示すメモリアクセス種別信号を出力する。

【0022】また、1-3は、前記命令デコード回路1-2から抽出された繰り返し回数を設定し、繰り返されるメモリアクセス命令が実行される毎にカウントダウンするカウンタ（計測手段）である。1-4はクロック供給制御回路（バンク特定手段）であって、繰り返し対象のメモリアクセス命令の初期アドレスに基いて、クロック信号の

6

供給を行うメモリバンク及び供給を行わないメモリバンクを決定し、各メモリバンクに対応したクロックゲート回路1-5にクロック制御信号を出力する。

【0023】1-7はメモリアクセス制御回路であって、前記命令デコード回路1-2からメモリアクセス種別信号を受け、この種別信号及びこの受信時でのメモリアクセスアドレスに基づいてメモリ制御信号をデータメモリ1-6の該当バンクに出力する。データメモリ1-6は、メモリアクセス種別信号がリードアクセスを示す場合には、該当するメモリバンクのデータをデータバス1又は2に出力する。この時、演算回路（演算手段）1-8は、命令コードで指定された所定の演算を行い、その結果をデータレジスタ1-9に格納する。一方、メモリアクセス種別信号がライトアクセスを示す場合には、データレジスタ1-9から出力されるライトデータがデータメモリ1-6の該当するメモリバンクに書き込まれる。

【0024】前記クロックゲート回路1-5は、データメモリ1-6の各メモリバンク0～3に対応して4個設けられ、その各々には、クロック信号が入力されると共に、前記クロック供給制御回路1-4からのクロック制御信号が入力される。各クロックゲート回路1-5は、入力される前記クロック制御信号が、対応するメモリバンクへのクロック信号の供給の停止を要求する場合には、前記入力されたクロック信号を対応するメモリバンクに供給することを阻止する。以上の構成により、繰り返し命令の実行中にアクセスすべきメモリバンクに対してのみクロック信号を供給するクロック供給手段1-10を構成する。

【0025】図2はメモリバンクとメモリアドレスの対応を例示する。このデジタルシグナルプロセサに図3に示すプログラムソースコードに相当する命令コード列を信号処理手順として与えた際の動作を説明する。

【0026】図3において、行番号1はアドレスポインタレジスタP0に16進の値“1000”を設定する命令である。行番号2はアドレスポインタレジスタP1に16進の値“2000”を設定する命令である。行番号3は繰り返し積和演算結果が格納される汎用レジスタA0に初期値“0”を設定する命令である。行番号4はその次に来る命令を16回繰り返すことを指示する命令である。行番号5は16回繰り返すを指示された積和演算命令であり、アドレスポインタレジスタP0で示すメモリの内容とアドレスポインタレジスタP1で示すメモリの内容との乗算を行い、その乗算結果と汎用レジスタA0の内容とを加算し、その加算結果を再度汎用レジスタA0に格納する命令である。アドレスポインタレジスタP0、P1には、積和演算が1回行われる毎に各々“1”が加算される。

【0027】図4は本デジタルシグナルプロセサで図3の命令手順が実行される時のタイミングチャートを示す。同図において、本デジタルシグナルプロセサは、ステージIDECで命令デコード、ステージADDECでデータメモリのアドレスデコード、ステージMAでデータメモリア

60

(5)

7

クセス、ステージEXで演算回路1-8を使用して命令実行が行われるパイプライン動作を行うものとする。ここで、図2に示すように、メモリアドレス“1000”(16進)から連続して格納された16個のデータ系列M00、M01、M02、M03、M04、...、M0Fと、メモリアドレス“2000”(16進)から連続して格納された16個のデータ系列M10、M11、M12、M13、M14、...、M1Fとに対して順次積和演算を行う信号処理を行う場合を事例として説明する。

【0028】先ず、図3の行番号1でアドレスポインタレジスタP0に16進の値“1000”を設定し、行番号2でアドレスポインタレジスタP1に16進の値“2000”を設定することにより、各データ系列に対する初期アドレスを与える。以下、行番号3で汎用レジスタA0に初期値“0”を設定し、行番号4はその次に来る命令を16回繰り返すことを指示する。行番号5の積和演算命令は、アドレスポインタレジスタP0、P1を各々“1”だけ加算しつつ、16回繰り返される。これにより、汎用レジスタA0には、16個のデータ系列M00、M01、M02、M03、M04、...、M0Fと、16個のデータ系列M10、M11、M12、M13、M14、...、M1Fとの積和演算結果が得られる。図1の回路では、命令デコード回路1-2で行番号4の命令をデコードし、図4のタイミングチャートに示すように、繰り返し回数カウンタ1-3に(16-1=15)が設定され、繰り返し命令開始信号が出力される。更に、命令デコード回路1-2では、使用するアドレスポインタレジスタP0、P1が、繰り返し対象の積和演算命令の1回目で選択される。クロック供給制御回路1-4は、アドレスポインタレジスタP0、P1の値を初期アドレスとして、初期アドレスの示すメモリバンクをクロック供給バンク、それ以外のメモリバンクをクロック停止バンクとし、図4に示すように繰り返し命令のMAステージの開始タイミングにおいてバンク2、バンク3に対しクロック停止信号が出力される。最後に、繰り返し回数カウンタ1-3が“0”になった後に命令デコード回路1-2が繰り返し命令終了信号を出力し、クロック供給制御回路1-4がこの終了信号を受けて、図4に示す命令の最終回のMAステージの開始タイミングでバンク2、バンク3のクロック停止信号をオフにする。以上の制御により、積和演算命令の実行中では、バンク2及びバンク3は15サイクルの間クロック信号が停止するので、データメモリのクロック信号系の消費電力が低減できる。

【0029】(第2の実施の形態)次に請求項2記載のデジタル信号処理装置の実施の形態を説明する。図5は、デジタルシグナルプロセッサの一部のブロック図を示す。同図において、データメモリ5-6、アドレスポインタレジスタ5-1、繰り返し回数カウンタ5-3、クロックゲート回路5-5は図1と同一構成である。尚、図5では、本発明に関連する構成についてのみ記載し、図1に記載したメモリアクセス制御回路1-7や演算回路1-8等については省略している。このことは以下に説明する図11で

8

も同様である。

【0030】図5において、5-2は命令デコード回路であって、繰り返し指定命令及びメモリアクセス命令のデコードを行い、繰り返し指定命令に基いて繰り返し回数を、繰り返し対象のメモリアクセス命令に基いて、使用するアドレスポインタと実行後に更新するアドレス更新値を抽出する。

【0031】5-7は終了アドレス計算回路(計算手段)であって、初期アドレスと、繰り返し回数と、アドレス更新値とに基いて、繰り返し対象命令の最終実行時にアクセスするメモリアドレスである終了アドレスを計算する。5-4はクロック制御回路であって、繰り返されるメモリアクセス命令の初期アドレスと終了アドレスとに基いて、繰り返し対象命令の実行中にクロック信号の供給を行うメモリバンク、及びクロック信号の供給を行わないメモリバンクを決定し、各メモリバンクに対応するクロックゲート回路5-5にクロック制御信号を出力する。

【0032】図6に、メモリバンクとメモリアドレスの対応を示す。このデジタルシグナルプロセッサに図7に示すプログラムソースコードに相当する命令コード列を信号処理手順として与えた際の動作を説明する。図7において、行番号2がアドレスポインタレジスタP1に16進の値“2FF8”を設定する命令であること以外は図3と同じである。

【0033】図8は本デジタルシグナルプロセッサを用いて図7の命令手順が実行される時のタイミングチャートを示す。本デジタルシグナルプロセッサのパイプラインステージも図4と同一である。ここで、図6に示すように、メモリアドレス“1000”(16進)から連続して格納された16個のデータ系列M00、M01、M02、M03、M04、...、M0Fと、メモリアドレス“2FF8”(16進)から連続して格納された16個のデータ系列M10、M11、M12、M13、M14、...、M1Fとに対して積和演算を行う信号処理を行う場合を事例として説明する。

【0034】前記第1の実施の形態と同様に、図7のプログラムにおいて、汎用レジスタA0には、16個のデータ系列M00、M01、M02、M03、M04、...、M0Fと、他の16個のデータ系列M10、M11、M12、M13、M14、...、M1Fとの積和演算結果が得られる。図5の回路では、命令デコード回路5-2は行番号4の命令をデコードし、図8のタイミングチャートに示すように繰り返し回数カウンタに16-1=15が設定され、繰り返し命令開始信号が出力される。更に、命令デコード回路5-2では、繰り返し対象の積和演算命令の1回目において、使用するアドレスポインタレジスタP0、P1を選択し、また、積和演算毎に変更されるアドレス更新値を抽出する。

【0035】終了アドレス計算回路5-7は、図9に示すように、アドレス更新値と繰り返し回数とを乗算する乗算器5-8と、その乗算結果に初期アドレスを加算する加算器5-9とを備え、加算器5-9の加算結果が終了アドレス

9

として計算される。クロック供給制御回路5-4は、初期アドレスと終了アドレスとの間のアドレスに対応するデータメモリバンク0~2をクロック供給バンク、それ以外のメモリバンク3をクロック停止バンクとし、図8に示すように命令の第1回目のMAステージの開始タイミングでバンク3に対しクロック停止信号を出力する。最後に、繰返し回数カウンタ5-3が“0”になった後に命令デコード回路5-2が繰返し命令終了信号を出力し、クロック供給制御回路5-4がこの終了信号を受けて、図8に示した命令の16回目のMAステージの開始タイミングでバンク3のクロック停止信号をオフにする。これにより、連続積和演算の実行中にアクセスする一方のデータメモリアドレスがバンク1、バンク2に跨る場合であっても、その演算の実行中に使用しないバンク3へのクロック信号の供給を停止することが可能となる。また、図9の乗算器や加算器は一般的にデジタルシグナルプロセッサ中に存在するので、本実施の形態を実現するために新たにハードウェアを追加することは不要である。

【0036】(変形例)次に請求項4の説明を行う。デジタル信号処理回路において、例えば最小データ単位を16ビットとすると、一般的に1個のデータのデータ長が16ビット、32ビット、64ビットと最小データ単位のデータ長の2のべき乗になる場合がほとんどである。従って、これを前提に回路を実現しても支障はない。データメモリの1アドレスのデータ幅が16ビットである場合、32ビットデータを偶数アドレスから始まる2アドレスの連続データで表現し、64ビットデータを偶数アドレスから始まる4アドレスの連続データで表現する等、最小データ単位のデータ長の2のN乗(Nは整数)の長さのデータを偶数アドレスから始まる2のN乗の連続アドレスデータで表現すると、図9の乗算器5-8は、図10に示すように、繰返し回数をNビット左にシフトする算術シフト回路10-1で実現することが可能である。これにより、乗算器が存在しないデジタル信号処理回路の場合には、回路中に存在する算術シフト回路を利用することにより、新たにハードウェアを追加することが不要になる。デジタル信号処理回路中に乗算器も算術シフト回路も存在しない場合においても、算術シフト回路だけを新たに設けるだけでよいので、比較的少ない回路規模の追加で本実施の形態を実現することが可能である。

【0037】(第3の実施の形態)次に、本発明の第3の実施の形態のデジタル信号処理装置を説明する。図11は、本実施の形態であるデジタルシグナルプロセッサの一部を示すブロック図である。同図において、データメモリ11-6、アドレスポインタレジスタ11-1、繰返し回数カウンタ11-3、クロックゲート回路11-5は、図1と同一である。また、命令デコード回路11-2は図5と同一である。

【0038】図11において、11-7はバンク切替タイミ

(6)

10

ング計算回路であって、初期アドレスと、繰返し回数と、実行後に更新するアドレス更新値とに基いて、繰返しの何回目でアクセスするメモリバンクが切り換わるかを計算する。11-8は前記バンク切替タイミング計算回路で求めたバンク切替タイミングを保存するバンク切替タイミング保持レジスタである。11-9は比較器であって、前記繰返しカウンタ11-3の値とバンク切替タイミング保持レジスタ11-8の値とを比較し、一致した時に一致信号を出力する。以上の構成により、繰返し命令の実行中にデータメモリ11-6内でアクセスしているメモリバンクが他のバンクに変更する切替え時を検出する検出手段11-10を構成している。

【0039】更に、11-4はクロック供給制御回路であって、繰返されるメモリアccess命令の初期アドレスに基いて、繰返し命令の実行の最初にクロック信号の供給を行うメモリバンク、クロック信号の供給を行わないメモリバンクを決定し、更に比較器11-9の一致出力に応じて、繰返し命令実行中にクロック信号の供給を行うメモリバンク、クロック信号の供給を行わないメモリバンクを切替えながら、各メモリバンクに対応したクロックゲート回路11-5にクロック制御信号(クロック供給信号又はクロック停止信号)を出力する。

【0040】演算対象データのメモリマップを図6と同じ、繰返し積和演算プログラムを図7と同じとすると、積和演算の実行中の各信号の変化及び各メモリバンクに供給されるクロック信号の動作タイミングチャートは図12に示すようになる。

【0041】ここで、最小データ単位のデータ長の2のN乗の長さの演算対象データを、偶数アドレスから始まる2のN乗の連続アドレスデータで表現すると、バンク切替タイミング計算回路11-7は、図13に示すように、新バンク切替アドレスから初期アドレスを引き算する“2”の補数器13-1及び加算器13-2と、この減算結果を右にNビット算術シフトする算術シフト回路13-3とにより、実現できる。

【0042】尚、以上の説明では、積和演算命令を例示して説明したが、本発明は同一手続の演算を繰返す命令であれば同様に適用できる。また、同一手続の演算には算術演算の他、論理演算も含まれる。更に、以上の説明では、積和演算される2つのデータ列は、異なるバンクに属するデータ列であるとして説明したが、両データ列が同一バンク内に存在する場合も本発明は包含し、また一方のデータ列のみがデータメモリ1-6内の所定範囲で連続するデータ格納領域に格納される場合も包含する。

【0043】(第4の実施の形態)最後に、本発明の第4の実施の形態を説明する。図14は本実施の形態の通信システムを示す。同図において、18-1は前記第1、第2又は第3の実施の形態で説明したデジタル信号処理装置である。18-2はシステム全体を制御する制御装置であ

50

(7)

11

る。18-3はシステムの制御情報、デジタル信号処理装置18-1の入出力データ、システムのシーケンスプログラム、本通信システムの利用者の記憶を補助するための情報、及び通信データ等を格納する記憶装置である。18-4は本通信システムの利用者が本通信システムに指示を与えるためのキーボードや通信内容を入力するためのマイク等の入力装置である。18-5は本通信システムの利用者にシステムの状態や各種情報を表示するディスプレイや通信内容を出力する拡声器等の出力装置である。18-6は前記デジタル信号処理装置18-1及び制御装置18-2と外部との通信を行うための通信インターフェース装置である。

【0044】尚、以上の説明では、命令デコード回路14-1は、受けた繰り返し命令をデコードし、この命令に含まれる初期アドレスに基づいて、命令実行中にアクセスされるバンクを把握特定したが、受ける命令自体にそのようなバンクを特定する情報を含めてもよい。この情報を含む命令は、例えば図7に示した積和演算プログラムでは次のようにして作成する。即ち、図7の第5行のメモリアccess命令からアドレスポインタレジスタP0、P1とアドレス更新値"-1"とを抽出した後、第5行からバックトレースして前記アドレスポインタレジスタP0、P1に即値を設定した第1行及び第2行の命令を検出し、この両命令からその即値を抽出する。次いで、前記即値を初期アドレスとして第5行のメモリアccess命令が繰り返されることの保証を確認した上で、このメモリアccess命令が演算の繰り返しの最後でアクセスする最終アドレスを前記初期アドレス、演算繰り返し数及びアドレス更新値に基いて計算し、初期アドレスとこの最終アドレスとの間に含まれるバンクをクロック信号が供給されるバンクに指定するよう特定の命令を修正する。

【0045】

【発明の効果】以上説明したように、請求項1ないし請求項7記載の発明のデジタル信号処理装置及びこれを有する通信システムによれば、データメモリ上の一定範囲内の連続したデータを読み出して繰り返し同一の演算を行う命令を受けた時には、その演算の繰り返し実行中にアクセスされるデータメモリ内の一部のバンクを予め把握し特定し、繰り返し命令の実行中では前記特定した一部バンクに対してのみクロック信号を供給するので、消費電力の削減が可能である。

【0046】特に、請求項2ないし請求項4記載の発明によれば、データメモリ上で連続してアクセスされるデータ格納領域が複数のバンクに跨る場合であっても、これ等複数のバンクに対してのみクロック信号を供給することが可能である。

【0047】更に、請求項5記載の発明によれば、データメモリ上で連続してアクセスされるデータ格納領域が複数のバンクに跨る場合には、これ等複数のバンクをクロック信号の供給対象として特定すると共に、これ等複

12

数のバンクのうち現にアクセスされているバンクに対してのみクロック信号を供給したので、より一層の低消費電力化が可能である。

【図面の簡単な説明】

【図1】本発明の第1の実施の形態を示すデジタル信号処理回路のブロック図である。

【図2】同実施の形態におけるデータメモリマップを示す図である。

【図3】同実施の形態において使用する繰り返し積和演算命令のプログラム例を示す図である。

【図4】同実施の形態における動作タイミングを示すタイミングチャート図である。

【図5】本発明の第2の実施の形態を示すデジタル信号処理回路のブロック図である。

【図6】同実施の形態におけるデータメモリマップを示す図である。

【図7】同実施の形態において使用する繰り返し積和演算命令のプログラム例を示す図である。

【図8】同実施の形態における動作タイミングを示すタイミングチャート図である。

【図9】同実施の形態における終了アドレス計算回路の具体的構成を示す図である。

【図10】同実施の形態における終了アドレス計算回路の他の具体的構成を示す図である。

【図11】本発明の第3の実施の形態を示すデジタル信号処理回路のブロック図である。

【図12】同実施の形態における動作タイミングを示すタイミングチャート図である。

【図13】同実施の形態におけるバンク切換タイミング計算回路の具体的構成を示す図である。

【図14】本発明の第4の実施の形態を示す通信システムの全体構成を示すブロック図である。

【図15】従来のデジタル信号処理回路のパイプライン動作の具体例を示す図である。

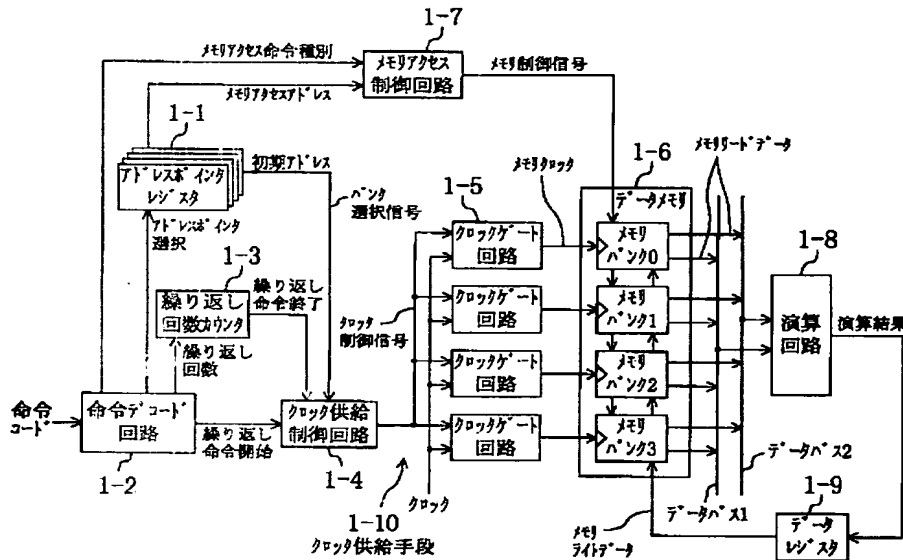
【符号の説明】

1-1、5-1、11-1、14-1	アドレスポインタ
1-2、5-2、11-2	命令デコード回路（命令デコード手段）
1-3、5-3、11-3、14-2	繰り返し回数カウンタ（計測手段）
1-4、5-4、11-4、14-3	クロック供給制御回路（バンク特定手段）
1-5、5-5、11-5、14-4	クロックゲート回路
1-6、5-6、11-6、14-5	データメモリ
1-8	演算回路（演算手段）
1-10	クロック供給手段
5-7	終了アドレス計算回路（計算手段）
5-8	乗算器
5-9	加算器

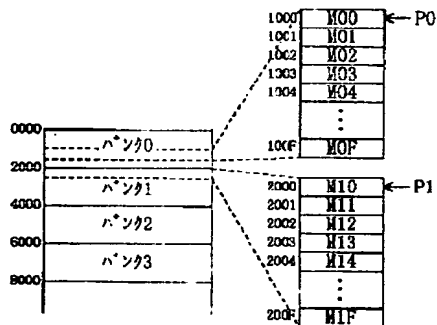
(8)

10-1	13	算術シフト回路	11-9	14	比較器
11-7		バンク切替タイミング計算回路	11-10		検出手段
路			18-1		デジタル信号処理装置
11-8		バンク切替タイミング保持レ	18-2		制御装置
ジスタ			18-6		通信インタフェース装置

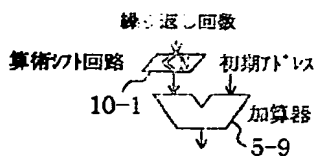
【図 1】



【図 2】



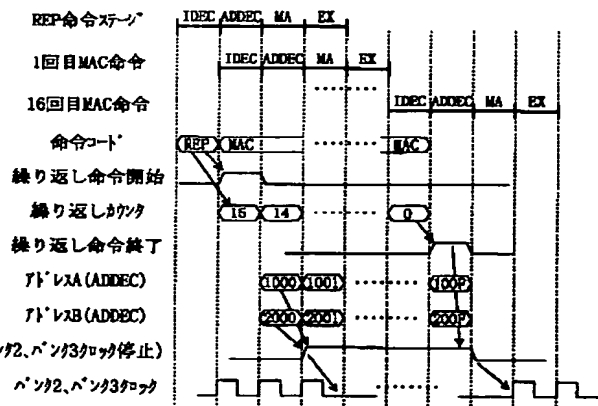
【図 3】



【図 4】

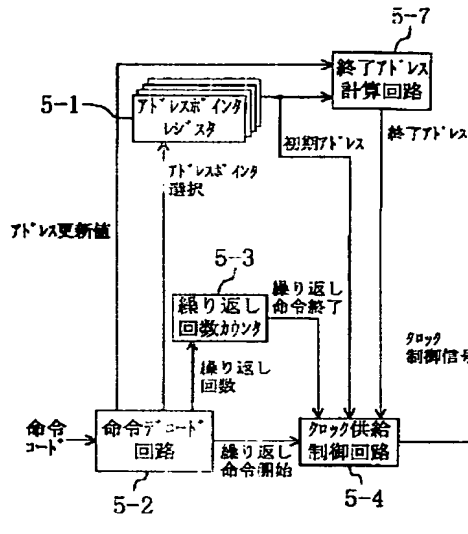
1: MOV P0, 0×1000 ; ポインタP0に1000(16進)を代入。
2: MOV P1, 0×2000 ; ポインタP1に2000(16進)を代入。
3: MOV A0, 0 ; レジスタA0に0を代入。
4: REP 16-1 ; 次命令を16回繰り返し。
5: MAC A0, *P0+, *P1+ ; P0の示すメモリデータと、P1の示すメモリデータを乗算し、乗算結果をレジスタA0に加算して格納。さらに、演算後P0、P1に各々1加算。

【図 4】

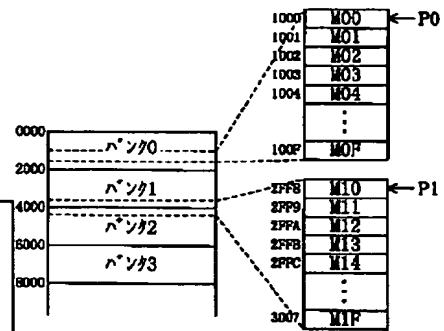


(9)

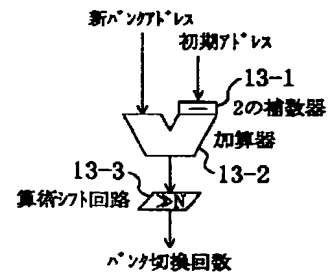
【図5】



【図6】



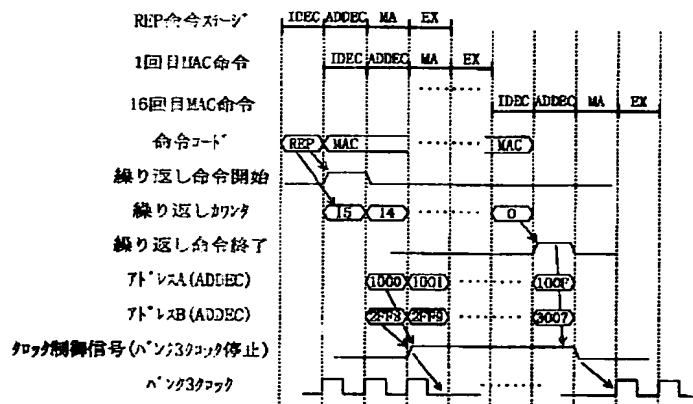
【図13】



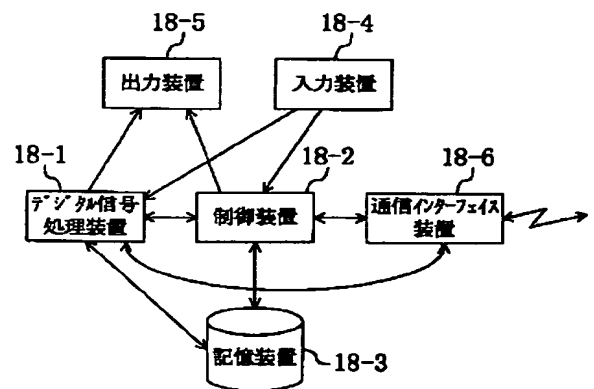
【図7】

1: MOV	P0, 0 × 1000	; ポインタレジスタP0に1000(16進)を代入。
2: MOV	P1, 0 × 2FF8	; ポインタレジスタP1に2FF8(16進)を代入。
3: MOV	A0, 0	; レジスタA0に0を代入。
4: REP	:6-1	; 次命令を16回繰り返し。
5: MAC	A0, *PC++, *P1++	; P0の示すメモリーと、P1の示すメモリーを乗算し、乗算結果をレジスタA0に加算して格納。さらに、演算後P0、P1に各々1加算。

【図8】

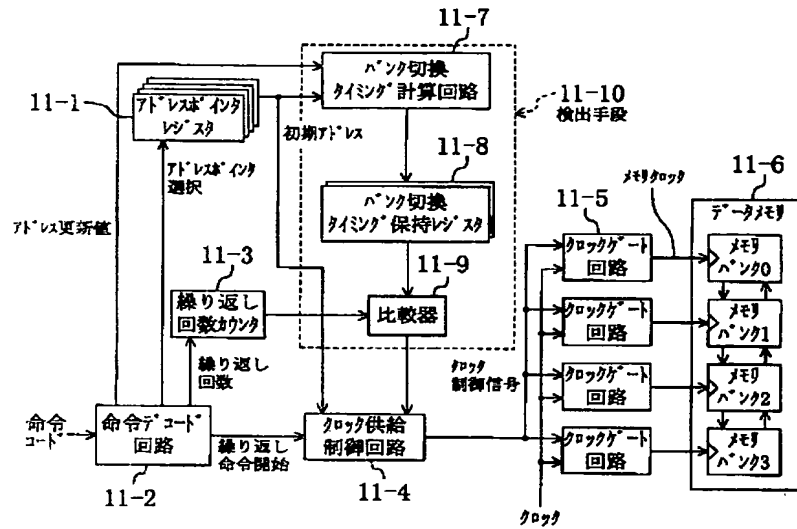


【図14】

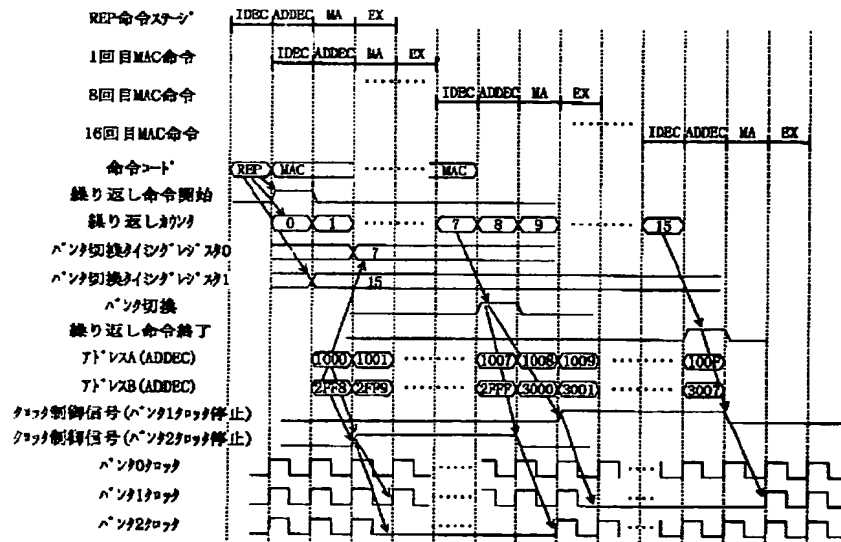


(10)

【図11】

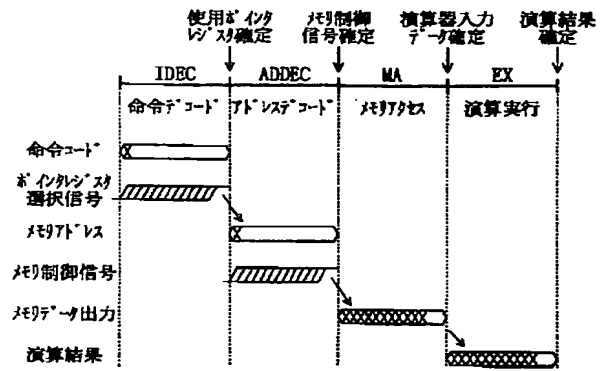


【図12】



(11)

【図15】



**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ BLACK BORDERS
- ☐ IMAGE CUT OFF AT TOP, BOTTOM OR SIDES
- ☒ FADED TEXT OR DRAWING
- ☒ BLURRED OR ILLEGIBLE TEXT OR DRAWING
- ☐ SKEWED/SLANTED IMAGES
- ☐ COLOR OR BLACK AND WHITE PHOTOGRAPHS
- ☐ GRAY SCALE DOCUMENTS
- ☐ LINES OR MARKS ON ORIGINAL DOCUMENT
- ☐ REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY
- ☐ OTHER: _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.